

**SEMICONDUCTOR STORAGE DEVICE AND ITS MANUFACTURE**

Patent Number: JP11040764

Publication date: 1999-02-12

Inventor(s): TAKEUCHI KIYOSHI

Applicant(s): NEC CORP

Requested Patent:  JP11040764

Application Number: JP19970190336 19970716

Priority Number(s):

IPC Classification: H01L27/108 ; H01L21/8242 ; H01L29/78

EC Classification:

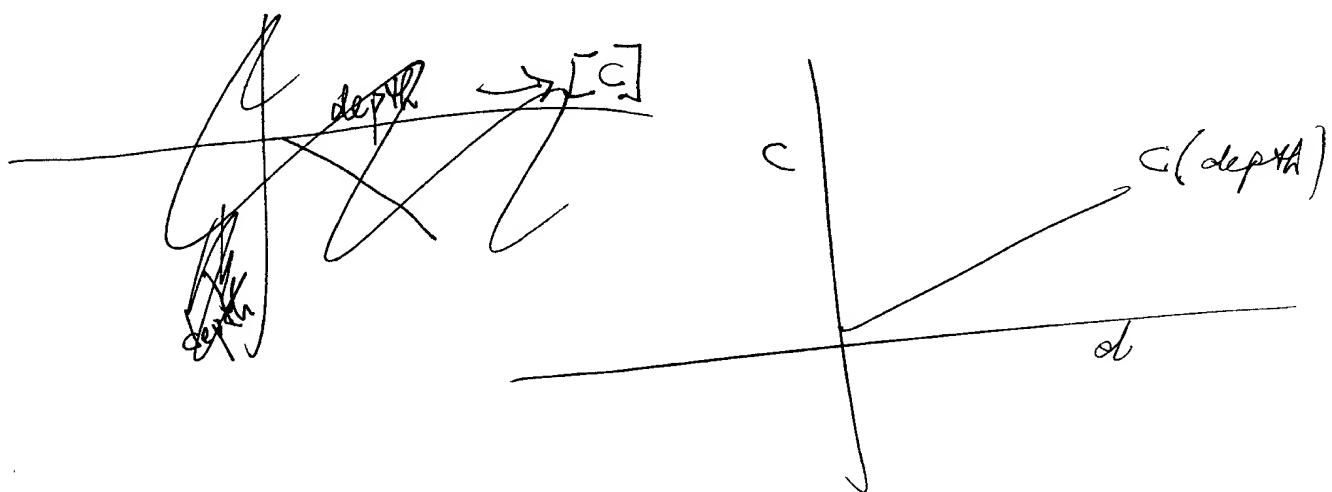
Equivalents:

**Abstract**

**PROBLEM TO BE SOLVED:** To lessen the dispersion of thresholds by arranging the distribution in depth wise direction of the concentration of the impurities of the substrate in the channel region of an insulated gate type of field effect transistor, so that the concentration in the vicinity of the surface of the board may be lower than that at the bottom of the depletion layer being made directly below an inversion layer, in a semiconductor storage device.

**SOLUTION:** After formation of an element isolating film 5 on a semiconductor substrate 4, a semiconductor substrate 4 is provided with a high impurity concentration layer 31 by ion implantation. Next, a semiconductor layer 32 where impurities are not mixed by vapor growth method is epitaxially grown selectively only on the surface where the semiconductor is exposed. At this time, the distribution in depth direction of the concentration of the impurities of the substrate in the channel region of the semiconductor substrate 4 is arranged such that the concentration in the vicinity of the surface of the substrate is lower than that at the bottom of the semiconductor layer 32 being the depletion layer made directly below a high impurity concentration layer 31 serving as an inversion layer. As a result the dispersion in the threshold can be made small.

Data supplied from the esp@cenet database - I2



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-40764

(43)公開日 平成11年(1999)2月12日

(51)Int.Cl.  
H 01 L 27/108  
21/8242  
29/78

識別記号

F I  
H 01 L 27/10  
29/78

6 7 1 Z  
6 2 1 Z  
3 0 1 H

審査請求 有 請求項の数11 O.L (全 11 頁)

(21)出願番号

特願平9-190336

(22)出願日

平成9年(1997)7月16日

(71)出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72)発明者 竹内 潔

東京都港区芝五丁目7番1号 日本電気株  
式会社内

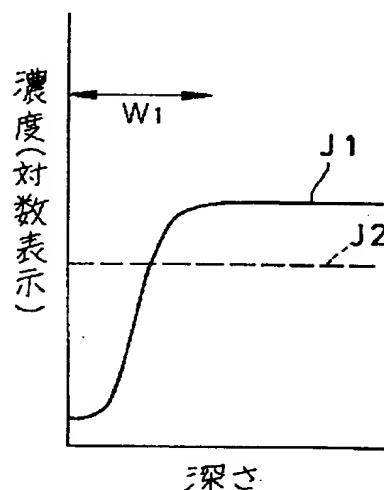
(74)代理人 弁理士 ▲柳▼川 信

(54)【発明の名称】 半導体記憶装置及びその製造方法

(57)【要約】

【課題】 しきい値ばらつきを小さくすること。

【解決手段】 半導体基板4の不純物濃度を、実曲線J1  
1に示すように半導体基板4の表面付近において半導体  
基板4の深い部分よりも低くなるよう構成した。



## 【特許請求の範囲】

【請求項1】 容量素子と絶縁ゲート型電界効果トランジスタにより記憶セルが構成される半導体記憶装置であつて、前記絶縁ゲート型電界効果トランジスタのチャネル領域における基板不純物濃度の深さ方向分布が、基板表面において、反転層直下に形成される空乏層の下端においてよりも低いことを特徴とする半導体記憶装置。

【請求項2】 前記絶縁ゲート型電界効果トランジスタのチャネル領域における基板不純物濃度の深さ方向分布が、同一しきい値を与えかつ不純物濃度が深さ方向に一様な場合と比べ、実効基板濃度が小さくなるよう設定されることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記絶縁ゲート型電界効果トランジスタのチャネル表面にエピタキシャル成長層を有し、前記エピタキシャル成長層の不純物濃度がその直下の半導体領域よりも低いことを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項4】 前記絶縁ゲート型電界効果トランジスタのチャネル領域が、半導体基板上に形成された第1のエピタキシャル層と、その上に形成された第2のエピタキシャル層とを有し、前記第1のエピタキシャル層の不純物濃度が、前記第2のエピタキシャル層および前記半導体基板の表面での不純物濃度と比べて高いことを特徴とする請求項1～3いずれかに記載の半導体記憶装置。

【請求項5】 前記絶縁ゲート型電界効果トランジスタはシリコン基板を用いたnチャネル型であつて、そのゲート電極の材質がn<sup>+</sup>シリコンと比べてしきい値を正方向に増加させる仕事関数を有することを特徴とする請求項1～4いずれかに記載の半導体記憶装置。

【請求項6】 前記絶縁ゲート型電界効果トランジスタはシリコン基板を用いたpチャネル型であつて、そのゲート電極の材質がp<sup>+</sup>シリコンと比べてしきい値を負方向に増加させる仕事関数を有することを特徴とする請求項1～4いずれかに記載の半導体記憶装置。

【請求項7】 前記絶縁ゲート型電界効果トランジスタのチャネル領域における基板不純物濃度の深さ方向分布が、基板表面から反転層直下に形成される空乏層の下端までの範囲内で極大値をとることを特徴とする請求項1～6いずれかに記載の半導体記憶装置。

【請求項8】 容量素子と絶縁ゲート型電界効果トランジスタにより記憶セルが構成される半導体記憶装置であつて、前記絶縁ゲート型電界効果トランジスタはシリコン基板を用いたnチャネル型であり、その材質がn<sup>+</sup>シリコンと比べてしきい値を正方向に増加させる仕事関数を有するゲート電極と、前記半導体基板全体の不純物濃度を低下させる手段とを含むことを特徴とする半導体記憶装置。

【請求項9】 容量素子と絶縁ゲート型電界効果トランジスタにより記憶セルが構成される半導体記憶装置であつて、前記絶縁ゲート型電界効果トランジスタはシリ

コン基板を用いたpチャネル型であり、その材質がp<sup>+</sup>シリコンと比べてしきい値を負方向に増加させる仕事関数を有するゲート電極と、前記半導体基板全体の不純物濃度を低下させる手段とを含むことを特徴とする半導体記憶装置。

【請求項10】 請求項1～9いずれかに記載の半導体記憶装置の製造方法であつて、

素子分離絶縁膜を形成する第1の工程と、その後半導体基板上に選択的に所定の不純物濃度の半導体をエピタキシャル成長させる第2の工程を少なくとも1回有することを特徴とする半導体記憶装置の製造方法。

【請求項11】 請求項1～9いずれかに記載の半導体記憶装置の製造方法であつて、半導体基板上全面に所定の不純物濃度の半導体をエピタキシャル成長させる工程を少なくとも1回有することを特徴とする半導体記憶装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体記憶装置及びその製造方法に関し、特に半導体としてMISFET (Metal Insulator Semiconductor Field Effect Transistor) を使用した半導体記憶装置及びその製造方法に関する。

## 【0002】

【従来の技術】 ダイナミック・ランダム・アクセス・メモリ (以下、DRAM (ランダム・アクセス・メモリ) ともいう。) は、記憶セルの構成が単純で微細化しやすいため、大容量メモリとして広く用いられる。

【0003】 図10は従来の半導体記憶装置の一例の回路図である。このDRAMはMISFET1個とコンデンサ1個とから成る、通称1T1C型のDRAM記憶セルである。

【0004】 このDRAM記憶セルは、セル・トランジスタ101とコンデンサ102とが直列に接続され、トランジスタ101のコンデンサ102と接続されない側のソース・ドレン端子がビット線103に、トランジスタ101のゲート電極がワード線104に接続される。

【0005】 記憶セルは同図の縦横方向に多数、周期的に配列され、ビット線103は縦方向に並ぶ複数の記憶セルに共通に、ワード線104は横方向に並ぶ複数の記憶セルに共通に接続される。

【0006】 コンデンサ102の電圧VCAPが基準電圧 (普通は電源電圧の1/2) より大か小かで1と0の情報を記憶する。プレート電圧VPLと基板電圧VSUBは通常全記憶セルに対し同一かつ一定である。

## 【0007】

【発明が解決しようとする課題】 しかし、DRAMを適切に動作させるためには、セルに用いるMISFET1

01のしきい値VTHが、高すぎず低すぎないある範囲に収める必要がある。所望の時間(リフレッシュ間隔)の間コンデンサ102に蓄えられた電荷量の放電による喪失量が十分小さいように、しきい値VTHはある下限値より小さくなつてはならない。

【0008】一方、1を書き込む際コンデンサに十分高い電圧が印加できるように、しきい値VTHはある上限値より大きくなつてはならない。なぜなら、コンデンサ102に高電圧を書き込む際、たかだかワード線電圧VWLからしきい値VTHを差し引いた値までしかコンデンサ電圧VCAPを高められないからである(VCAP=VWL-VTHとなったとき、MISFET101は非導通となる)。

【0009】DRAMの微細化の進展に伴い、MISFETのゲート絶縁膜が薄くなり、ゲート絶縁膜を破壊させないようにワード線電圧VWLは低下せざるを得ず、しきい値VTHの上限値は小さくなる。一方、しきい値VTHの下限値は微細化によって減少することはない。この結果、許されるしきい値VTHの範囲は微細化によって狭まつてきている。しきい値VTHは温度変化や特性ばらつきによって変動する。この変動量が上記許容範囲に収まらないなれば、DRAMは誤動作を起こす。

【0010】以上のことから、より大規模なDRAMを実現するために、MISFETの特性ばらつき、特にしきい値VTHばらつきを小さくすることが必要となる。しきい値VTHばらつきのうち、製造プロセスの場所的不均一により発生するものは、プロセスの均一性を向上することで改善できる。しかし、それ以外に、トランジスタのチャネルとなる基板内に導入された、不純物のミクロなゆらぎにより生ずるしきい値VTHばらつきが存在する。

【0011】すなわち、微細なMISFETのチャネル領域(厳密にはチャネル下の空乏層領域)に存在する不純物の数は、幅と長さが0.1μmのMISFETを想定すると、例えば平均して300個に過ぎない。1個1個の不純物の配置はイオン注入や拡散により導入されているためランダムであり、その平均的濃度が確定しているだけである。このため個々のMISFET内の不純物数は、320個であったり、280個であったりし得る。このような不純物配置のランダムさによるしきい値VTHばらつきは、プロセスの改善を十分行っても取り除くことはできず、MISFETの微細化にともなって大きくなる。

【0012】上記不純物ゆらぎによるしきい値VTHばらつきの影響は、特に大規模DRAMにおけるメモリ・セル・トランジスタにおいて深刻である。DRAMセル・トランジスタにおいては、チャネル長、チャネル幅とともにぎりぎりまで(加工可能な最小寸法まで)微細化する必要がある。また、電荷保持のためにしきい値VTHを比較的高く(典型的には1V程度)設定することから、基

板不純物濃度を高める必要がある。

【0013】これら2点は、後に示す数1と数2により、ともに不純物ゆらぎを増大させる要因である。加えてDRAMにおいては極めて多数の記憶セル間でしきい値VTHが均一であることが要求される。許容されるしきい値の平均からのずれをD、しきい値の標準偏差を△VTHとしたとき、1個のトランジスタについてしきい値VTHが許容範囲に入る確率を十分高めるには概ね△VTH<Dであればよい。

10 【0014】しかし、例えば256M個のトランジスタすべてが許容範囲に入る確率を十分高めるには、概ね△VTH<D/6が必要となり、ばらつきを厳しく抑える必要がある。従つて、しきい値ばらつきを小さくすることが困難であった。

【0015】又、この種の技術が特開昭59-152660号公報、特開昭62-213273号公報、特開昭62-224066号公報、特開昭63-239861号公報及び特開平1-160047号公報等に開示されているが、しきい値ばらつきを小さくすることに関する開示されていない。

20 【0016】そこで本発明の目的は、しきい値ばらつきを小さくすることができる半導体記憶装置及びその製造方法を提供することにある。

#### 【0017】

【課題を解決するための手段】前記課題を解決するためには、本発明は、容量素子と絶縁ゲート型電界効果トランジスタにより記憶セルが構成される半導体記憶装置であつて、その半導体記憶装置を前記絶縁ゲート型電界効果トランジスタのチャネル領域における基板不純物濃度の深さ方向分布が、基板表面において、反転層直下に形成される空乏層の下端においてよりも低くなるよう構成したことを特徴とする。

30 【0018】本発明による他の発明は、半導体記憶装置の製造方法であつて、その製造方法を素子分離絶縁膜を形成する第1の工程と、その後半導体基板上に選択的に所定の不純物濃度の半導体をエピタキシャル成長させる第2の工程を少なくとも1回有するよう構成したことを特徴とする。

40 【0019】本発明によれば、基板不純物濃度の深さ方向分布が、基板表面において、反転層直下に形成される空乏層の下端においてよりも低くなるよう構成することにより、しきい値ばらつきを小さくすることができる。

【0020】本発明による他の発明によれば、素子分離絶縁膜を形成する第1の工程と、その後半導体基板上に選択的に所定の不純物濃度の半導体をエピタキシャル成長させる第2の工程を少なくとも1回行うことにより、しきい値ばらつきを小さくすることができる。

#### 【0021】

【発明の実施の形態】まず、以後の説明にて必要な空乏層、反転層、フラットバンド電圧等について簡単に説明

する。図14～16は半導体基板の深さとエネルギーとの関係を示す特性図(バンド図)である。

【0022】図14～16において、横方向は深さ、縦方向はエネルギーを示す。又、EC以上は可動電子、EV以下は可動正孔が存在し得る領域で、前者を伝導体、後者を荷電子帯と称する。

【0023】帯=バンドとは、電子や正孔が存在できるエネルギーの範囲をいう。ECとEVとの間はどちらも存在しないバンドギャップ(禁制帯)と称する。

【0024】ゲートの電圧に応じて半導体内の電位が曲がるため、バンドもつられて曲がることになる。ある電圧をゲートに掛けると、図16に示すようにバンドが平らな(フラットバンド)状態となる。このとき、ゲートにかける電圧をフラットバンド電圧と称し、これはゲートと半導体の材料により決定される。

【0025】p型基板(nチャネルMISFETに対応)のバンドを曲げていくと、まず図14に示すようにバンドの曲がりがある領域で基板の正孔が表面から追い出される。この領域を空乏層と称する。

【0026】さらに、バンドを曲げて、ECが基板表面でフェルミレベルEFに接近すると、表面に急激に多数の電子が発生する。これを反転と称し、表面の電子の層を反転層と称する。

【0027】一旦反転が起きると、ゲート電圧をさらにかけても空乏層の幅はほぼ一定となる。この状態の空乏層の幅を本発明ではWDEPと称する。

【0028】なお、反転層の厚さは非常に薄く、事実上厚さはないとみなしている。すなわち、WDEPは基板表面から空乏層端までを表している。

【0029】 $\Psi_S$ は図15に示すように、反転時における空乏層の端と端での電位差を表すが、「反転時」の定義はあいまいである。これは電子の発生量はゲート電圧の連続関数(ECがEFに近づくにつれて指数関数的に増える)であるためである。

【0030】基板の深いところでのEF・EV間の電位差と基板の表面でのEC・EF間の電位差とが等しくなったところと定義するのがよく用いられる「反転」の定義であるが、逆に $\Psi_S$ によって反転が定義されると見ることもできる。とにかく、反転は基板表面のECがEFに接近すると発生する。

【0031】なお、WDEPはソースと基板との間の電圧で変化する。

【0032】次に、本発明の根拠となる数式等について説明する。本発明は、チャネル領域における基板不純物濃度とその深さ分布が、不純物のミクロなゆらぎによるしきい値ばらつきにいかなる影響を与えるかという知見を応用したものである。

【0033】図13はセル・トランジスタ(MISFET)の基本構成を示す断面図である。セル・トランジスタは、ゲート1と、ゲート絶縁膜2と、ソース・ドレイ

ン拡散層3と、空乏層32と、反転層31と、これら反転層31、ソース・ドレイン拡散層3、空乏層32とが形成される基板5とからなる。

【0034】即ち、反転層(チャネル領域)31とは、図13においてゲート電極1直下であって、両側のソース・ドレイン拡散層3で挟まれた半導体領域を表す。

【0035】WDEPは前述したように基板5の表面から空乏層32の端部までの深さを表している。

【0036】理論的および実験的検討により、上記しきい値ばらつきが以下の2式によって記述されることを発見した。

【0037】

【数1】

$$\Delta V_{TH} = \frac{q}{C_{OX}} \sqrt{\frac{\pi}{2W_{DEP}}} K^{-3/8} \sqrt{\frac{N_{EFF}}{3}}$$

【0038】

【数2】

$$N_{EFF} = 3 \int_0^{W_{DEP}} N_{SUB}(x) \left(1 - \frac{x}{W_{DEP}}\right)^2 \frac{dx}{W_{DEP}}$$

ここで、 $\Delta V_{TH}$ はしきい値の標準偏差、qは電荷素量、COXはゲート絶縁膜容量(単位面積あたり)、WDEPはMISFETが反転したときの反転層下の空乏層の深さ、Kは一辺WDEPの正方形を単位としたチャネルの面積、NSUB(x)はチャネル領域における基板不純物濃度(深さの関数)、xは基板表面を原点とした深さ方向の位置座標、である。

【0039】特に、基板濃度が深さ方向に一定の場合を考えると

30  $N_{EFF} = N_{SUB}$

であり、また数1よりしきい値ばらつきの標準偏差は基板濃度が大きいほど増す。NEEFはしきい値ばらつきに関して実効的な基板濃度を与え、以後これを実効基板濃度と呼ぶ。NEEFはしきい値ばらつきの指標であり、これが大きいほどしきい値ばらつきが増加する。なお、数1、数2におけるWDEPは、公知の以下の2式を連立することにより決定される。

【0040】

【数3】

$$E(x) = \frac{q}{\epsilon_S} \int_x^{W_{DEP}} N_{SUB}(x) dx$$

【0041】

【数4】

$$\Psi_S - V_{BS} = \int_0^{W_{DEP}} E(x) dx$$

ここで、E(x)は半導体中の深さ方向の電界、 $\epsilon_S$ は半導体基板の誘電率、 $\Psi_S$ は反転時のバンドの曲がり50 (シリコンの場合約1V)、VBSはソースを基準とした基

板の電位（基板バイアス）である。

【0042】ある微小領域内の不純物の平均数を  $n$  ( $n$  は正の整数) とすると、同領域内の不純物数は2項分布に従い、その標準偏差は  $n$  の平方根で与えられ、  $n$  が大きいほど大きい。

【0043】一方、ある数の不純物ゆらぎがもたらすしきい値のすれば、微小領域の基板表面からの距離に依存する。基板表面から離れるほど ( $x$  が大なるほど) 不純物数ゆらぎのしきい値への影響は小さくなり、  $x = WDEP$  に至ると影響がなくなる。

【0044】数1、数2はこれらの現象を定量的に表すものである。数1、数2より一般に不純物濃度を減らすほどばらつきは小さくなる。また、基板表面に近い不純物を減らすほうが、深い部分の不純物を減らすよりも、ばらつきを小さくする効果が大きい。

【0045】このような不純物濃度やその深さ分布を変えることによるばらつき低減の効果は、実効基板濃度がどれだけ小さくなるかによって定量的に記述できる。

【0046】本発明の本質は、望ましいMISFET特性を維持しつつ、実効基板濃度を下げるによりしきい値ばらつきを減少させることにある。ここでDRAMセル・トランジスタにおいて維持すべき重要なMISFET特性は、短チャネル効果の抑制と十分高いVTHの確保である。

【0047】短チャネル効果とは、ソースとドレインから横方向に伸びた空乏層が互いに重なり合うために、ソース・ドレイン間の電流遮断が不十分となったり、チャネル長のわずかな変動によって特性が大きく変動する現象であって、集積回路の安定した製造を可能にするためには十分抑制されなければならない。

【0048】MISFETの基板表面に低不純物濃度層を設けると、数2より効果的に実効基板濃度を下げることができる一方、低不純物濃度層より深い部分の濃度が高く保たれることによりソース・ドレインからの空乏層の伸びが抑えられ、短チャネル効果の劣化は防止される。

【0049】ただし単に基板表面濃度を下げただけではVTHが低下する。すでに述べたように、電荷を十分長時間保持できるように、VTHはある程度高くする必要がある。

【0050】VTH低下を防ぐ第1の方法は、前述したように低不純物濃度層の直下で不純物濃度を高めることである。深い部分での濃度増加は、数2より実効基板濃度をあまり増加させないから、VTHばらつきを抑えながらVTHを所望の値まで高められる。

【0051】VTH低下を防ぐ第2の方法は、ゲート電極の仕事関数を調節してVTHを高めることである。VTH低下を防ぐ第1の方法には、基板効果を増加させるという望ましくない副作用がある。これを防ぐには、濃度分布が表面から順に低濃度、高濃度、低濃度、となるように

する。これにより、基板逆バイアスが増加したとき空乏層が深い低濃度部分に広がるようになり、基板効果が抑えられる。なお、短チャネル効果の劣化を許容すれば、単純に基板濃度を低下させ、VTH低下を防ぐ第2の方法と組み合わせることが有効となる。

【0052】次に、本発明の理解を容易とするため、図10の従来の半導体記憶装置の一例の動作について念の為説明しておく。

【0053】このDRAMセルは、1個のコンデンサ102と1個のMISFET（セル・トランジスタ）101とからなり、コンデンサの電圧VCAPの高低を1と0に対応させることで情報を記憶する。

【0054】MISFETとしてはnチャネル型素子を用いることが一般的なので、以後特に断らない限り、電圧の極性はセル・トランジスタ101がnチャネル型素子である場合について説明する。セル・トランジスタとしてpチャネル型素子を用いても良いが、その場合は以後の記述で電圧の正負を適宜読み替えれば良く、この読み替えは当該分野の通常の知識を有する者にとっては容易である。

【0055】情報の書き込みは、ビット線電圧VBLを所定の値（例えば、書き込む情報が0なら0V、1なら2.5V）とし、ワード線電圧VWLを高電位（例えば3.5V）としてMISFET101を導通させることで行う。読み出しはビット線103を浮遊状態とした後、VWLを高電位としてMISFET101を導通させ、コンデンサ102から流出した電荷量に応じて起るVBLの微小変動をビット線103に接続されたセンスアンプで増幅することで行う。増幅された電圧は直ちにVBLに印加され、結果としてコンデンサ102には読み出されたデータに応じた電圧が書き戻される（リフレッシュ）。コンデンサ102からはリークにより電荷が徐々に失われるが、定期的に読みだしを行うことで書き戻しが行われ、情報が保持される。

【0056】図10の回路の実際の構造として4Mビット以上のDRAMでは、大きく分けてコンデンサを基板の上方に形成する構造と、基板の内部に埋め込むように形成する構造とが用いられる。典型的な記憶セルの構造例を図11と図12に示す。

【0057】図11においては、コンデンサ102は容量電極12A、容量絶縁膜13A、プレート電極14Aによって、基板上方に形成されている。図12においては、コンデンサ102は容量電極12B、容量絶縁膜13B、埋め込みプレート電極14によって、基板に埋設されるように形成されている。

【0058】なお、図11、12において、1はゲート電極、2はゲート絶縁膜、3はソース・ドレイン拡散膜、4は半導体基板、5は素子分離絶縁体、6は素子分離絶縁体の境界、11はビット線、12は容量電極、13は容量絶縁膜、14はプレート電極、21はビット線

接続部、22は容量接続部を示す。

【0059】いずれの場合であっても、そこに用いられるMISFETは図13に示す基本構造を有する。本発明の特徴はこのMISFETの構造にあって、それが属する記憶セルの構造は図11あるいは図12に限らず、いかなる構造であっても構わない。本発明におけるMISFETの構造上の特徴は、図13の一点鎖線Hに沿った不純物分布とゲートの材料とにある。

【0060】なお、同図において図11及び図12と同様の構成部分については同一番号を付し、その説明を省略する。又、31は反転層、32は空乏層、WDEPは基板4の表面から空乏層32の端部までの距離である。

【0061】ここで、以下の記述に必要となる事項について追加の説明を行う。しきい値電圧VTH数3、数4と組み合わせて

【0062】

【数5】

$$V_{TH} = \varphi_s + V_{FB} + E(0)/C_{ox}$$

で決定される。ここで、VFBはフラットバンド電圧である。数3、4、5より、VTHは基板・ソース間バイアスVBSの関数である。VBSと図10におけるVSUBとは一般に同一ではない。DRAM動作時には、セル・トランジスタの2つのソース・ドレイン拡散層3の電位はどちらも所定の低電位(VL0)から高電位(VHI)との間で変化する(通常はVL0をゼロ電位と定義することが一般的であり、本明細書ではVL0をゼロ電位と呼ぶ)。

【0063】上記2つの拡散層のうちいずれがソースであるかは固定的ではなく、両者の電位の相対的高低により決まり、nチャネル型素子であれば電位が低いほうがソースとなる。例えば、図10においてVBLを高電位としてVCAPを高電位に充電しつつあるとき、VCAP側がソースである。

【0064】このとき基板・ソース間バイアスVBSはVSUB-VCAPに等しい。このようにソースの電位が固定されていないため、動作中のセル・トランジスタのVTHは変動する。VTHが最も低くなるのは、ソース・ドレイン拡散層3の両方がゼロ電位の状態(このときVBS=VSUB)であって、本明細書ではこの状態を基準状態と呼ぶ。

【0065】なお、DRAMのセル・トランジスタにおいては、使用時に負の(例えば-1V)の基板電圧VSUBを印加することが多く、VSUBとしては所定のバイアスが印加されているものとする。一般的動作時には、上記基準状態よりも大きな負の基板バイアス(最大の場合VBS=VSUB-VHI)が内部的に印加される。通常、設計上のしきい値は上記基準状態において定義されるので、以後特に断らない場合、しきい値とは基準状態での値を指すものとする。

【0066】図1は、本発明による第1の実施形態を説明するための不純物濃度対深さ特性図である。同図にお

いて実曲線J1は、本発明による、図13の一点鎖線Hに沿った不純物分布を模式的に示すものである。仮に図1の破線で示す一様な不純物分布J2により、ゲート絶縁膜厚さとゲートの材質が同一として、所望のしきい値が実現されていると仮定する。

【0067】このとき、実線J1のような分布によっても、所望のしきい値を得ることができる。ここでW1は基準状態において反転層31を形成したときのチャネル下の空乏層32幅(VBS=VSUBとして数3、4より決定されるWDEPに等しい)であり、表面から深さW1の範囲において、基板表面においては実線の分布J1が破線J2を下回り、深い部分では逆に実線J1が破線J2を上回る分布としている。

【0068】表面近傍での濃度が低い結果、しきい値ばらつきは破線J2の分布の場合よりも減少する。しかし、深さW1の範囲内の深い部分での濃度が高いため、しきい値は破線J2の場合と同じに設定される。さらにこの深い部分での濃度が高いため、ソース・ドレインからの空乏層32の横方向の広がりが抑えられ、短チャネル効果は破線J2の場合よりも改善される。

【0069】このように基準状態における基板表面の空乏層幅W1の範囲において、不純物濃度が表面側で低く、内部側で高い分布とすることで、短チャネル効果を劣化させず、しきい値を変化させず、しきい値ばらつきのみを低減することができる。

【0070】図2は、本発明による第2の実施形態を説明するための不純物濃度対深さ特性図である。図2において実線J3の曲線は、本発明による、図13の一点鎖線Hに沿った不純物分布を模式的に示すものである。仮に図2の破線J2で示す一様な不純物分布により、ゲート絶縁膜厚さとゲートの材質が同一として、所望のしきい値が実現されていると仮定する。

【0071】表面近傍での濃度が低い結果、しきい値ばらつきは破線J2の分布の場合よりも減少する。さらに深い部分での濃度が高いため、ソース・ドレインからの空乏層の横方向の広がりが抑えられ、短チャネル効果は破線J2の場合と同等に抑えられる。

【0072】しかし表面不純物濃度を下げた結果として、しきい値は所望の値よりも下がってしまう。この場合は、ゲート電極の材料を変更することでしきい値を高め、所望のしきい値を得るようにする。これは数5においてVFBを変化させることに相当する。VFBは概ね、nチャネルMISFETについてはゲート材料の仕事関数から半導体基板の仕事関数を差し引いたもの、pチャネルMISFETではそれに半導体基板の禁制帯幅を加算した値となる。

【0073】仕事関数は種々の材料について詳しく調べられており、その結果は例えば、S. M. Sze著 "Physics of Semiconductor Devices, 2nd edition 1981

" John Wiley and sons, New York 刊の 250 頁に記載されている。

【0074】通常 n チャネル型の DRAM セル・トランジスタにおいては、n 型ポリシリコンをゲート材料として用いている（n 型ポリシリコンに金属など低抵抗層を積層する場合もある）。これを p 型ポリシリコンに変更することで、約 1V しきい値を高めることができ。また、タンゲステンなど多くの金属材料に変更することで、約 0.5V しきい値を高めることができ。p チャネル型の DRAM セル・トランジスタにおいても、ゲート材料を p 型ポリシリコンから n 型ポリシリコンやタンゲステンなどの金属に変更することで、同様の効果を得ることができる。

【0075】ゲート材料に応じて不純物分布を調整すれば、しきい値を詳細に制御することができる。本実施形態においてはしきい値は不純物分布とゲート材料の 2 要素によって制御されることから、基板内部側の不純物濃度が表面に比べて高くなる位置が W1 より深いことは、しきい値制御の観点から必ずしも必要ではない。

【0076】しかし、短チャネル効果を十分抑制するためには、第 1 の実施形態と同様、基準状態における基板表面の空乏層幅 W1 の範囲内において、不純物濃度が表面側で低く、内部側で高い分布とするほうが望ましい。

【0077】このように、不純物濃度が表面側で低く、内部側で高い分布とし、かつゲートとしてしきい値を高める方向の材料を用いることで、短チャネル効果を劣化させず、しきい値を変化させず、しきい値ばらつきのみを低減することができる。

【0078】図 3 は、第 1 の実施形態にさらに改良を加えた第 3 の実施形態を説明するための不純物濃度対深さ特性図である。第 1 の実施形態においては、基板表面付近で不純物濃度を下げたことにより生ずるしきい値の低下を、基板内部での不純物濃度を高めることで補償していた。

【0079】この場合、トランジスタの基板効果が増加するという望ましくない効果が生ずる。すでに述べたように、DRAM セル・トランジスタにおいては動作時に内部的基板バイアスが印加される。特にコンデンサに高レベル VHI を書き込もうとすると、最大で |VBS| = |VSUB - VHI| の基板逆バイアスが印加される (VSUB < 0)。

【0080】基板効果が大きくなると、この時点でのしきい値 VTH が高まる。VCAP はたかだか VBL = VTH までしか上がらないから、VTH が大きくなるとコンデンサに十分高い電圧を書き込めなくなる。この問題を解決するには、図 3 のように、不純物濃度を表面から深さ W2 の範囲で極大を持つように設定すればよい。

【0081】ここで W2 とは、内部的基板バイアスが最大となったときの空乏層 32 の幅であって、W2 > W1 である。最表面の低濃度領域から隣接する高濃度領域

に至る濃度分布の設定方法は、第 1 の実施形態と同様である。

【0082】図 3 と同様の不純物分布を第 2 の実施形態に適用することも、基板効果をさらに減少できることから、望ましいことである。これが本発明による第 4 の実施形態である。

【0083】すなわち不純物濃度を表面から深さ W2 の範囲で極大を持つように設定する。ここで W2 とは、内部的な基板バイアスが最大となったときの空乏層の幅であって、W2 > W1 である。最表面の低濃度領域から隣接する高濃度領域に至る濃度分布の設定方法、ゲート材料の設定方法は、第 2 の実施形態と同様である。

【0084】本発明による第 5 の実施の形態は、第 2 の実施形態において用いたゲート材料の変更を単独で用いるものである。

【0085】すなわち、基板不純物濃度の深さ方向分布については、一様または表面側で高いが、その濃度を全体的に低下させることにより、しきい値ばらつきを抑制する。これによりしきい値が低下するが、これを第 2 の実施形態と同様に、ゲート材料を変更することにより補正する。

【0086】本方法によっては、基板濃度が全体的に下がり、ソース・ドレインからの空乏層の伸びが増すため、トランジスタの短チャネル効果の劣化が起こる。このためトランジスタの寸法を若干大きくする必要がある。

【0087】次に、すでに述べた第 1 から第 5 の実施形態について、いかにして上述した効果が得られるかをさらに詳細に説明する。具体的な結果を示すため、不純物分布として図 4 に示す階段分布を仮定して計算を行う。

【0088】すなわち、不純物濃度が基板表面で小さく、深いところで大きくなる分布を、 $x = 0$  から  $d$  までは  $N(x) = N_1$ 、 $x > d$  で  $N(x) = N_2$  である階段状分布で近似する。

【0089】図 5 に、図 4 の分布を仮定して、数 2 ~ 5 により計算したしきい値電圧と実効基板濃度との関係を示す。ただし、 $N_1$  と  $N_2$  を固定し、濃度が変化する境界の深さ  $d$  をパラメータとして変化させ、ゲート材料が n 型ポリシリコンの n チャネル型トランジスタを想定している。

【0090】 $N_1 = 1 \times 10^{16} \text{ cm}^{-2}$ 、ゲート酸化膜厚 ( $t_{ox}$ ) は 6 nm とし、 $N_2$  について  $1 \times 10^{17} \text{ cm}^{-2}$ 、 $1 \times 10^{18} \text{ cm}^{-2}$ 、 $1 \times 10^{19} \text{ cm}^{-2}$  の 3 つの場合について示した。

【0091】同図中の 3 本の実曲線 P2 ~ P4 は、左から順に  $N_2$  が上記濃度の場合と対応する。ある  $N_1$  と  $N_2$  の組に対するこのような曲線は、 $d$  を変化させることにより実現可能な、しきい値と実効基板濃度の値の組み合わせの軌跡を示す。

【0092】破線 P1 は  $d = 0$  (すなわち  $N(x) = N_1$ )

2で一定) とし、N2を連続的に変化させたときの結果である(一様分布に対応)。この場合は実効基板濃度が実際の基板濃度と一致するから、縦軸はN2に等しく、しきい値はほぼN2の平方根に比例する。

【0093】各実線の上端、すなわち破線との交点ではd=0であり、ここを出発点としてdを増す(低濃度層の厚さを増す)と、しきい値と実効基板濃度は共に実線に沿って減少する。

【0094】ただしWDEP < dとなった時点で実効基板濃度は一定(NEFF = N1)となり、曲線は水平な直線となる。N1としてはゼロが理想であるが、現実には理想状態の実現は困難なので、より現実的な $1 \times 10^{16} \text{ cm}^{-2}$ を仮定した。

【0095】図5を参照して、第1の実施形態による効果を説明する。仮定しているゲート材料、ゲート酸化膜厚においては、 $1 \times 10^{18} \text{ cm}^{-2}$ の一様基板濃度においてしきい値0.9Vが得られる。図5の点Aはこの状態に対応する。

【0096】一様基板濃度であるから、実効基板濃度は実際の基板濃度 $1 \times 10^{18} \text{ cm}^{-2}$ に等しい。これと同じしきい値電圧を得ながら、不純物の深さ方向分布のみを変更して実効基板濃度を下げる方法を考える。

【0097】それには、例えば点Bの状態を実現すれば良い。点Bは左から3本めの曲線P4上に位置することから、N2 =  $1 \times 10^{19} \text{ cm}^{-2}$ とし、dを適当な値に設定すれば実現可能であることが図5から読み取れる。

【0098】図5からdの具体的な値は直接読み取れないが、図5を描くために行った数2~5の計算結果から、d = 1.8nmが適切であることが決定される。N2が $1 \times 10^{19} \text{ cm}^{-2}$ に限らず $1 \times 10^{18} \text{ cm}^{-2}$ より大きい値であれば、同様にしきい値が等しく、実効基板濃度のみが低下した状態を実現するdを決定することが可能である。

【0099】このような設計手順により実現される点Bのような状態においては、「基板不純物濃度の分布を除いて全く同一構造を有し、同一しきい値を有する一様基板濃度の素子と比べて実効基板濃度が低い」(言い換えれば、点Bは破線より下に位置する)ということで特徴づけられる。

【0100】実効基板濃度が低いことから、しきい値ばらつきは抑えられる。なお、第3の実施形態についても、深さW1の範囲に着目すれば第1の実施形態同様、階段状の不純物分布で近似できるから、その効果、設計の考え方は図5と同様である。

【0101】図6を参照して、第2の実施形態による効果を説明する。示されている実曲線P2~P4と破線P1は図5と同じものである。図5の場合と同様な点Aを出発点とする。

【0102】ここでN2 =  $1 \times 10^{18} \text{ cm}^{-2}$ を変更せず、基板表面に低濃度層を付加すると、点Bの状態を実

現することができる。これにより実効基板濃度は低下し、しきい値ばらつきは抑えられるが、同時にしきい値自体も下がってしまう。

【0103】そこでゲート電極の材料をすでに述べた方針により変更することで、点Cの状態を実現する。ここで、点Bから点Cへの平行移動量は、ゲート材料の変更に伴う仕事関数の変化に対応している。

【0104】ここでdの具体的な値を、仕事関数の変化をちょうど打ち消すだけの大きさに設定することで、しきい値を変化させず、実効基板濃度のみを低下させる不純物分布を得ることが可能である。

【0105】例えば、仕事関数の変化を0.5Vとすれば、d = 2.5nmとすれば良いことは、図6を描くために行った数2~5の計算により容易に決定できる。このような設計手順により実現される点Cのような状態は、基板不純物分布に着目すれば点Bと同じであるから、

「基板不純物濃度の分布を除いて全く同一構造を有し、同一しきい値を有する一様基板濃度の素子と比べて実効基板濃度が低い」(言い換えれば、点Bは破線より下に位置する)ということで特徴づけられる。

【0106】なお、第4の実施形態についても、深さW1の範囲に着目すれば第2の実施形態同様、階段状の不純物分布で近似できるから、その効果、設計の考え方は図6と同様である。

【0107】図7を参照して、第5の実施形態による効果を説明する。示されている実曲線P2~P4と破線P1は図5と同じものである。図5の場合と同様な点Aを出発点とする。

【0108】ここで基板不純物濃度を一様に低下させると、破線上の点Bの状態を実現することができる。これにより実効基板濃度(この場合は一様な基板濃度自体)は低下し、しきい値ばらつきは抑えられるが、同時にしきい値自体も下がってしまう。

【0109】そこでゲート電極の材料をすでに述べた方針により変更することで、点Cの状態を実現する。ここで、点Bから点Cへの平行移動量は、ゲート材料の変更に伴う仕事関数の変化に対応している。ここで点Bにおける基板濃度の具体的な値を、仕事関数の変化をちょうど打ち消すだけの大きさに設定することで、しきい値を変化させず、実効基板濃度のみを低下させる不純物分布を得ることが可能である。

【0110】例えば、仕事関数の変化を0.5Vとすれば、基板濃度を $1 \times 10^{17} \text{ cm}^{-2}$ とすればよいことは、数2~5の計算により容易に決定できる。

【0111】以上で述べたような不純物分布は、イオン注入法により実現可能である。すなわち、基板表面の不純物濃度を下げるためには、不純物を導入するためのイオン注入において、濃度のピーク位置が十分深い位置となるように注入エネルギーを調節すればよい。

【0112】図3のような分布を実現するためには、濃

度のピーク位置を調整した1回のイオン注入により実現可能である。図1、2のように、深い部分で一様な分布を得るためにには、ピーク深さの異なるイオン注入を複数回、順次行うことにより実現可能である。

【0113】深さ方法の不純物分布をより精密に制御できる方法として、半導体のエピタキシャル成長を用いることができる。イオン注入では、注入エネルギーを高めると不純物分布の裾の広がりが大きくなり、不純物の深さ分布が必ずしも自由に設定できるわけではない。

【0114】一方、エピタキシャル成長技術を用いると、成長層の不純物濃度を原料ガスへの不純物混入量により制御可能であることから、イオン注入よりも深さ分布をより自由に制御可能である。すなわち、異なる濃度のエピタキシャル層を順次積層することにより、深さ方向に任意の分布を持つ不純物分布を形成することができる。この性質により、本発明における不純物分布の深さ分布の実現を容易にすることができます。

【0115】イオン注入法を用いた場合、図1～3に示したような、基板表面の低不純物濃度層の濃度を十分下げることが、表面低濃度層の厚さが薄くなるほど難しくなる。そこで、基板に不純物を導入したのち、その上に不純物を含まない半導体層をエピタキシャル成長すれば、表面付近での濃度を急峻に低下させることができ、薄い低濃度層を精密に形成することが可能となる。

【0116】図8にエピタキシャル成長を利用して図3の不純物分布を作成するための工程フローを示す。まず、半導体基板4に素子分離絶縁膜5を形成したのち、イオン注入により基板に高不純物濃度層31を設ける。

【0117】続いて、公知の気相化学成長(CVD)法により、不純物を混入しない半導体層32を、半導体が露出する面上にのみ選択的にエピタキシャル成長させる。

【0118】続いて、酸化によるゲート絶縁膜2形成、ゲート電極1形成、ソース・ドレイン拡散層3形成を通常のMISFETと同様にして行い、図8(C)の素子構造を得る。

【0119】エピタキシャル層32と基板4との間では不純物濃度を急峻に変化することから、図4に示したような階段状に近い(理想に近い)不純物分布が得られる。

【0120】この場合、エピタキシャル成長は素子分離絶縁膜5を形成した後に行っていたが、図9に示すように、素子分離絶縁膜5の形成前にエピタキシャル成長を行ってもよい。

【0121】すなわち、まずイオン注入により基板4上全面に高不純物濃度層31を設ける。続いて、公知の気相化学成長(CVD)法により、不純物を混入しない半導体層32を、半導体基板全面にエピタキシャル成長させる。

【0122】続いて、素子分離絶縁膜5の形成、酸化に

よるゲート絶縁膜2形成、ゲート電極1形成、ソース・ドレイン拡散層3形成を通常のMISFETと同様にして行い、図9(C)の素子構造を得る。

【0123】以上では図3の分布を実現する方法を述べたが、最初に行うイオン注入において、エネルギーの異なる注入を複数回、順次行うことにより図1、2の分布を形成することも可能である。

【0124】また、深い高濃度部分31をイオン注入で形成する方法を述べたが、この高濃度部分を適宜不純物をドープしたガスを原料にしたエピタキシャル成長で形成することも可能である。

【0125】すなわち、図8、9におけるエピタキシャル成長工程において、まず高濃度層の成長、次に低濃度層の成長の順で順次エピタキシャル成長を行う。イオン注入工程は不要ならば省略する。この方法によれば、図3の分布において、特に深い部分での濃度低下を、イオン注入を用いる場合よりも急峻とし、基板効果低減効果を高めることができる。

【0126】以上において、セル・トランジスタはバルク半導体基板に形成されているものとして説明した。しかし、SOI基板を用いたセル・トランジスタにおいても、表面の半導体層の厚さが図1、2におけるW1よりも厚い、いわゆる部分空乏型SOIにおいても同様の効果が得られる。

#### 【0127】

【発明の効果】本発明によれば、容量素子と絶縁ゲート型電界効果トランジスタとにより記憶セルが構成される半導体記憶装置であって、前記絶縁ゲート型電界効果トランジスタのチャネル領域における基板不純物濃度の深さ方向分布を、基板表面において、反転層直下に形成される空乏層の下端においてよりも低くなるよう構成したため、しきい値ばらつきを小さくすることができます。

【0128】本発明による他の発明によれば、半導体記憶装置の製造方法であって、その製造方法を素子分離絶縁膜を形成する第1の工程と、その後半導体基板上に選択的に所定の不純物濃度の半導体をエピタキシャル成長させる第2の工程を少なくとも1回有するよう構成したため、しきい値ばらつきを小さくすることができます。

#### 【図面の簡単な説明】

40 【図1】本発明による第1の実施形態を説明するための不純物濃度対深さ特性図である。

【図2】本発明による第2の実施形態を説明するための不純物濃度対深さ特性図である。

【図3】第1の実施形態にさらに改良を加えた第3の実施形態を説明するための不純物濃度対深さ特性図である。

【図4】濃度の階段分布を仮定した不純物濃度対深さ特性図である。

【図5】実効基板濃度対しきい値電圧の特性図である。

50 【図6】実効基板濃度対しきい値電圧の特性図である。

【図7】実効基板濃度対しきい値電圧の特性図である。

【図8】エピタキシャル成長を利用して不純物分布を作成するための工程フローを示すDRAMの断面図である。

【図9】エピタキシャル成長を利用して不純物分布を作成するための工程フローを示すDRAMの断面図である。

【図10】従来の半導体記憶装置のDRAMの一例の回路図典型的な記憶セルの構造例である。

【図11】セル・トランジスタ(MISFET)の基本構成を示す断面図である。

【図12】セル・トランジスタ(MISFET)の基本構成を示す断面図である。

【図13】セル・トランジスタ(MISFET)の基本

構成を示す断面図である。

【図14】半導体基板の深さとエネルギーとの関係を示す特性図(バンド図)である。

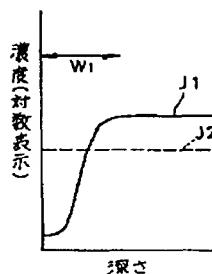
【図15】半導体基板の深さとエネルギーとの関係を示す特性図(バンド図)である。

【図16】半導体基板の深さとエネルギーとの関係を示す特性図(バンド図)である。

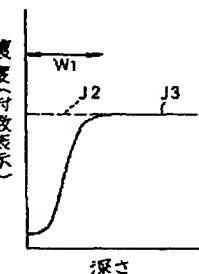
#### 【符号の説明】

- 1 ゲート
- 2 ゲート絶縁膜
- 3 ソース・ドレイン拡散層
- 4 基板
- 3 1 反転層
- 3 2 空乏層

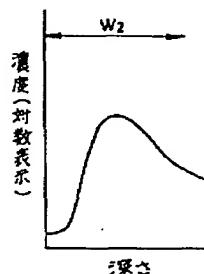
【図1】



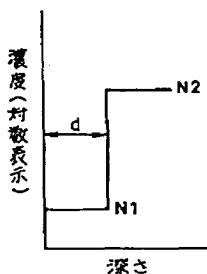
【図2】



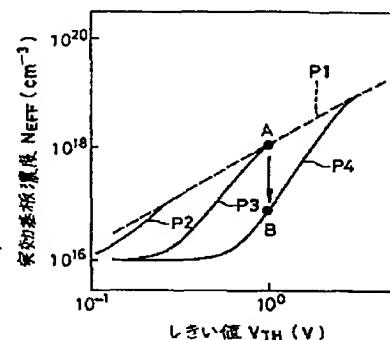
【図3】



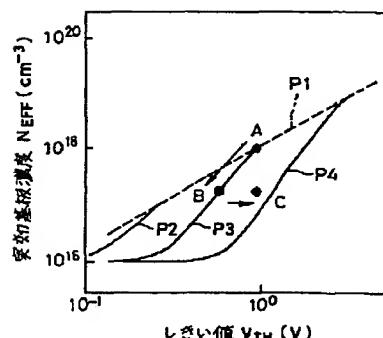
【図4】



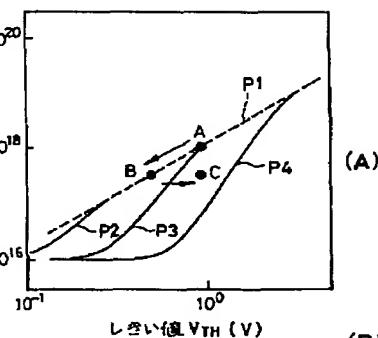
【図5】



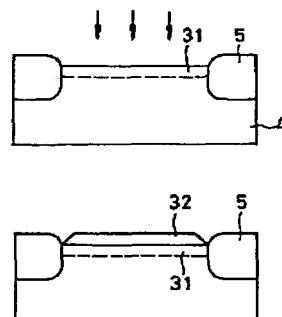
【図6】



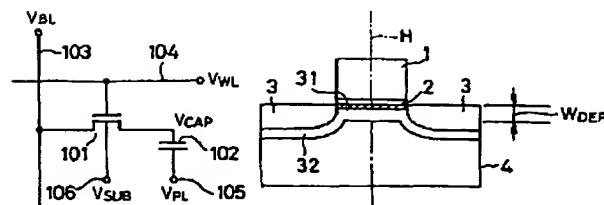
【図7】



【図8】

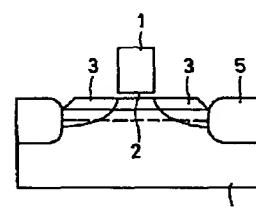


【図10】

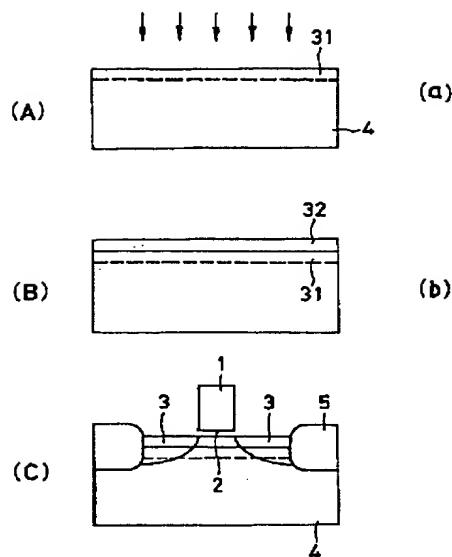


【図13】

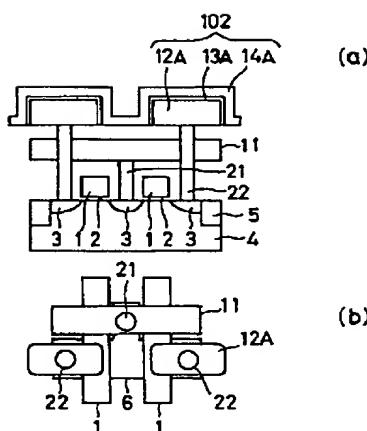
(C)



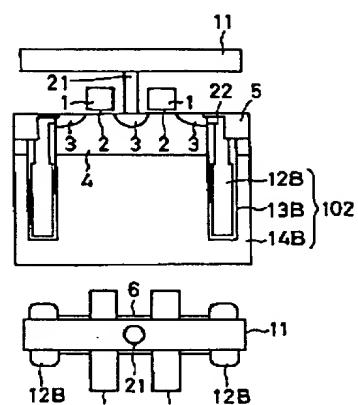
【図9】



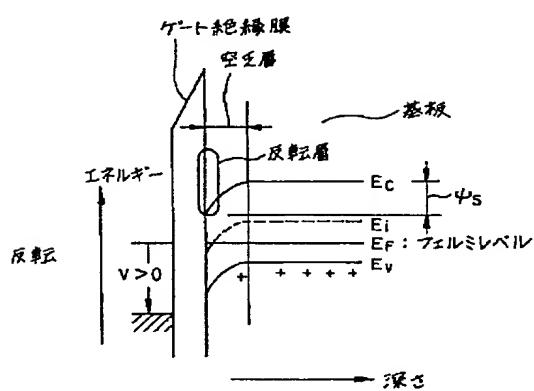
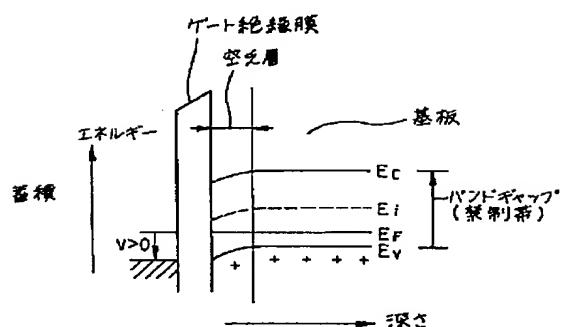
【図11】



【図12】



【図14】



【図16】

